

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-15704

(P2001-15704A)

(43)公開日 平成13年1月19日(2001.1.19)

(51)Int.Cl.⁷

H 01 L 27/10
G 11 C 11/41
11/401
H 01 L 21/8238
27/092

識別記号

4 8 1

F I

H 01 L 27/10
G 11 C 11/34
H 01 L 27/08

テ-マコト^{*}(参考)

4 8 1 5 B 0 1 5
Z 5 B 0 2 4
3 5 2 Z 5 F 0 4 8
3 2 1 D 5 F 0 8 3
3 2 1 K

審査請求 未請求 請求項の数15 O.L (全18頁) 最終頁に続く

(21)出願番号

特願平11-182902

(22)出願日

平成11年6月29日(1999.6.29)

(71)出願人 000005108

株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地

(72)発明者 石橋 孝一郎

東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内

(72)発明者 長田 健一

東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内

(74)代理人 100075096

弁理士 作田 康夫

最終頁に続く

(54)【発明の名称】 半導体集積回路

(57)【要約】

【課題】集積回路内では、それぞれの回路の事情により最適なゲート長とゲート酸化膜厚としきい値電圧があることになる。これらの回路を同一基板上に集積する半導体集積回路では、それぞれの回路の最適な値にするために製造工程が複雑化し、結果として歩留まりの低下、製造日数の増加に伴い製造コストの上昇をもたらす。

【解決手段】論理回路には高低2種類のしきい値のトランジスタを用い、メモリセルには高しきい値電圧と同じしきい値電圧のトランジスタにより構成し、入出力回路は上記の高しきい値電圧と同じチャネルの不純物濃度でゲート酸化膜厚を厚くしたトランジスタを用いて構成する。

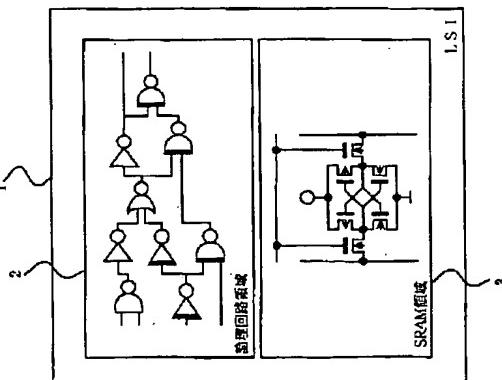
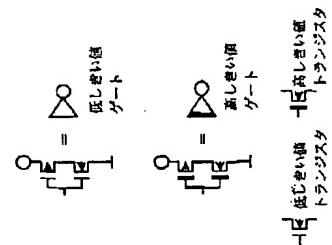


図1

【特許請求の範囲】

【請求項1】論理回路と、メモリセルを集積したメモリセルアレーを具備し、

上記論理回路は第1しきい値電圧を持つNMOSトランジスタと第3しきい値電圧を持つPMOSトランジスタよりなる第1論理ゲートと、第2しきい値電圧を持つNMOSトランジスタと第4しきい値電圧を持つPMOSトランジスタよりなる第2論理ゲートにより形成され、上記メモリセルアレーは2つの負荷MOSトランジスタと2つの駆動MOSトランジスタと、2つの転送MOSトランジスタからなるスタティック型のメモリセルを集積したメモリセルアレーであり、

上記2つの負荷MOSトランジスタは上記第4しきい値電圧を有するPMOSトランジスタにより形成され、

上記2つの駆動MOSトランジスタは上記第2しきい値電圧を有するNMOSトランジスタにより形成され、

上記第1しきい値電圧は上記第2しきい値電圧より小さく、

上記第3しきい値電圧の絶対値は上記第4しきい値電圧の絶対値より小さいことを特徴とする半導体集積回路。

【請求項2】上記2つの転送用MOSトランジスタは、上記第1しきい値電圧を有するNMOSトランジスタにより構成されることを特徴とする請求項1に記載の半導体集積回路。

【請求項3】上記メモリセルアレーが複数のバンクにより形成され、

上記メモリセルとビット線対が上記バンク内で接続され、各バンク内のビット線対と上記複数のバンクをまたがって配置されているグローバルビット線対がスイッチMOSを介して接続され、

上記スイッチMOSは上記第2しきい値電圧を有するNMOSトランジスタと第4しきい値電圧を有するPMOSにより構成されていることを特徴とする請求項1乃至請求項2のいずれかに記載の半導体集積回路。

【請求項4】上記論理回路と上記メモリセルアレーを構成する上記NMOSトランジスタと上記PMOSトランジスタのゲート酸化膜厚は第1値をとることを特徴とする請求項1乃至請求項3のいずれかに記載の半導体集積回路。

【請求項5】上記第1及び第2しきい値電圧の差と、上記第3及び第4しきい値電圧の差がそれぞれトランジスタのチャネルに存在する第1不純物と第2不純物の量が異なることによるものであることを特徴とする請求項1乃至請求項4のいずれかに記載の半導体集積回路。

【請求項6】上記第1及び第2しきい値電圧の差と、上記第3及び第4しきい値電圧の差がそれぞれトランジスタのチャネル長が異なることによるものであることを特徴とする請求項1乃至請求項4のいずれかに記載の半導体集積回路。

【請求項7】上記2つの転送MOSトランジスタは、上記第2しきい値電圧を有するNMOSトランジスタと同じチ

ャネルの不純物量で、チャネル長の長いNMOSにより構成されてなることを特徴とする請求項1に記載の半導体集積回路。

【請求項8】論理回路と、データ入出力回路を具備し、第1の厚さのゲート酸化膜を持つ第1しきい値電圧を持つNMOSトランジスタと、上記第1の厚さのゲート酸化膜を持ち、上記第1しきい値電圧よりも大きい第2しきい値電圧を持つNMOSトランジスタと、上記第1の厚さのゲート酸化膜を持つ第3しきい値電圧を持つPMOSトランジスタと、上記第1の厚さのゲート酸化膜を持ち、上記第3しきい値電圧の絶対値よりも絶対値の大きい第4しきい値電圧を持つPMOSトランジスタと、上記第1の厚さよりも厚い第2の厚さのゲート酸化膜を持ち、上記第2しきい値電圧を持つNMOSトランジスタとチャネルの不純物量が同一の、第5しきい値電圧を持つNMOSトランジスタと、

上記第2の厚さのゲート酸化膜を持ち、上記第4しきい値電圧を持つPMOSトランジスタとチャネルの不純物量が同一の第6しきい値電圧を持つPMOSトランジスタにより構成され、上記論理回路には上記第1と第2しきい値電圧を持つNMOSトランジスタと、上記第3と第4しきい値電圧を持つPMOSトランジスタによって構成され、

上記入出回路は上記第5しきい値電圧を持つNMOSトランジスタと上記第6しきい値電圧を持つPMOSトランジスタにより構成されていることを特徴とする半導体集積回路。

【請求項9】上記半導体集積回路は更にメモリセルを多数集積したメモリセルアレーを具備し、上記メモリセルは1つの転送MOSと1つの容量からなるダイナミック型のメモリセルであり、上記メモリセルの転送MOSには上記第5しきい値電圧を持つNMOSトランジスタにより構成されていることを特徴とする請求項8記載の半導体集積回路。

【請求項10】上記半導体集積回路は更にメモリセルを多数集積したメモリセルアレーを具備し、上記メモリセルは1つの転送MOSと1つの容量からなるダイナミック型のメモリセルであり、上記メモリセルの転送MOSには上記第5しきい値電圧を持つNMOSトランジスタと同じチャネルの不純物量で、チャネル長の長いトランジスタにより構成されてなることを特徴とする請求項9に記載の半導体集積回路。

【請求項11】論理回路と、低電圧の信号電圧を高電圧の信号電圧に変換するレベルシフタ回路と、データ入出力回路を具備し、第1の厚さのゲート酸化膜を持つ第1しきい値電圧を持つNMOSトランジスタと、上記第1の厚さのゲート酸化膜を持ち、上記第1しきい値電圧よりも大きい第2しきい値電圧を持つNMOSトランジスタと、上記第1の厚さのゲート酸化膜を持つ第3しきい値電圧を持つPMOSトランジスタと、上記第1の厚さ

のゲート酸化膜を持ち、上記第3しきい値電圧の絶対値よりも絶対値の大きい第4しきい値電圧を持つPMOSトランジスタと、

上記第1の厚さより厚い第2の厚さのゲート酸化膜を持ち、上記第1しきい値電圧を持つNMOSトランジスタとチャネルの不純物量が同一の第5しきい値電圧を持つNMOSトランジスタと、

第2の厚さのゲート酸化膜を持ち、上記第2しきい値電圧を持つNMOSトランジスタとチャネルの不純物量が同一の、第6しきい値電圧を持つNMOSトランジスタと、

第2の厚さのゲート酸化膜を持ち、上記第3しきい値電圧を持つPMOSトランジスタとチャネルの不純物量が同一の第7しきい値電圧を持つPMOSトランジスタと、第2の厚さのゲート酸化膜を持ち、上記第4しきい値電圧を持つPMOSトランジスタとチャネルの不純物量が同一の第8しきい値電圧を持つPMOSトランジスタにより構成され、上記論理回路には上記第1と第2しきい値電圧を持つNMOSトランジスタと、上記第3と第4しきい値電圧を持つPMOSトランジスタによって構成され、

上記入出回路は上記第6しきい値電圧を持つNMOSトランジスタと上記第8しきい値電圧を持つPMOSトランジスタにより構成され上記レベルシフタ回路のうち、上記低電圧の信号電圧を入力するMOSトランジスタが、上記第2の厚さのゲート酸化膜の上記第5しきい値電圧を持つことを特徴とする半導体集積回路。

【請求項12】上記半導体集積回路は更にメモリセルを多数集積したメモリセルアレーを具備し、上記メモリセルは1つの転送MOSと1つの容量からなるダイナミック型のメモリセルであり、上記メモリセルの転送MOSには上記第6しきい値電圧を持つNMOSトランジスタにより構成されていることを特徴とする請求項11記載の半導体集積回路。

【請求項13】上記半導体集積回路は更にメモリセルを多数集積したメモリセルアレーを具備し、上記メモリセルは1つの転送MOSと1つの容量からなるダイナミック型のメモリセルであり、上記メモリセルの転送MOSには上記第6しきい値電圧を持つNMOSトランジスタと同じチャネルの不純物量で、チャネル長の長いトランジスタにより構成されてなることを特徴とする請求項11に記載の半導体集積回路。

【請求項14】上記トランジスタのソース及びドレイン領域は、第1不純物濃度領域と第2不純物濃度領域を有する第1導電型のウエルで形成され、

上記第1不純物濃度領域は、ソース電極又はドレイン電極と接し、かつ第2不純物領域より不純物濃度が高く、上記第2不純物濃度領域は、第2導電型半導体基板の第2導電型不純物濃度より高い領域と接することを特徴とする請求項1乃至請求項3のいずれかに記載の半導体集

積回路。

【請求項15】上記転送MOSトランジスタは、上記論理回路の第1しきい値電圧を持つNMOSトランジスタより長いゲート長、同じ不純物量を有し、かつゲート幅が1umあたり1nAとなるゲート電圧が駆動用MOSトランジスタのもの以上であることを特徴とする請求項14に記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はCMOSを用いる半導体集積回路に係り、特に、論理回路とメモリとが同一基板上に形成される半導体集積回路を、製造工程を複雑にすることなく実現するのに好適なものある。

【0002】

【従来の技術】論理回路の高速化に関する従来技術として、特開平10-65517号に開示されているものがある。本従来技術では、動作速度を決定する信号経路、いわゆるクリティカルパスに低しきい値電圧のトランジスタを用いて動作速度を向上させる一方、その他の信号経路については中しきい値電圧と高しきい値電圧のトランジスタとを用いて、リーク電流の低減をおこなっていた。

【0003】

【発明が解決しようとする課題】CMOSを用いた集積回路の高性能化は、それを構成するNMOSとPMOSトランジスタのゲート長の微細化とゲート酸化膜厚の薄膜化によるトランジスタの高性能化と高集積化により実現してきた。それに伴って、これらの微細化、薄膜化により電界強度が増加しないように電源電圧も減少させられてきている。たとえば、産業界で標準的な例として、ゲート長0.35μmの世代においては電源電圧は3.3Vであるのに対して、ゲート長0.25μmの世代では、電源電圧は2.5Vとされている。

【0004】今後の微細化に伴いさらなる電源電圧の低下が予想されるため、しきい値電圧も下げなければ集積回路の動作速度は著しく劣化する。しかし、しきい値電圧を下げるするとサブスレッショルド電流が大きくなり、リーク電流が増加する。そこで、上記従来技術においては、論理回路のしきい値電圧を3種類設け、特に動作速度を決定する信号経路の回路のトランジスタのしきい値を下げるという手法を採用している。しかし、この従来技術はしきい値を3種類作るために製造方法が複雑になっている。

【0005】一方、近年の集積回路は大規模化の傾向にあり、1チップの中に、論理回路のみならず、かなり大規模なメモリ、及び入出力インターフェース、PLL、クロック等の回路が搭載されるようになっている。

【0006】しかしながら、このような回路はそれぞれ異なる特性を有し、それに応じて要求されるトランジスタの特性も異なる。例えば、論理回路と一緒に用いら

れる6つのトランジスタから構成されるSRAMのメモリセルは、電気的な安定を図るために、そのしきい値はある電圧以下には下げることができない。また、1つのキャパシタと1つのトランジスタから構成されるDRAMのメモリセルは、しきい値を下げるこによって、キャパシタに蓄積された電荷がトランジスタのリークにより放電してしまうので、やはりある電圧以下にはしきい値を下げることはできない。入出力の電圧は規格で定められており、内部の動作電圧よりも高いため、その間に挿入された入出力インターフェース回路は、高い耐圧でも耐えられるようなチャネル長とゲート酸化膜が要求される。

【0007】このように、集積回路内ではそれぞれの回路の特性によって最適なゲート長、ゲート酸化膜としきい値電圧とが存在する。これらの回路を同一基板上に集積する半導体集積回路では、それぞれの回路特性にあわせて製作しようとすると、製造工程が複雑化し、結果として歩留まりの低下、製造日数の増加に伴い製造コストの上昇をもたらすおそれがある。

【0008】本発明は、上記のように論理回路の電源電圧が低下し、さらに多種類の回路が同一基板上に存在するような半導体集積回路であっても、製造工程を複雑化することなく低コストで製造することが可能な半導体集積回路手段を提供する。

【0009】

【課題を解決するための手段】上記課題を解決するために本願では半導体集積回路において論理回路と、メモリセルを集積したメモリセルアレーを備備し、上記論理回路は第1しきい値電圧を持つNMOSトランジスタと第3しきい値電圧を持つPMOSトランジスタよりなる第1論理ゲートと、第2しきい値電圧を持つNMOSトランジスタと第4しきい値電圧を持つPMOSトランジスタよりなる第2論理ゲートにより形成され、上記メモリセルアレーは2つの負荷MOSトランジスタと2つの駆動MOSトランジスタと、2つの転送MOSトランジスタからなるスタティック型のメモリセルを集積したメモリセルアレーであり、上記2つの負荷MOSトランジスタは上記第4しきい値電圧を有するPMOSトランジスタにより形成され、上記2つの駆動MOSトランジスタは上記第2しきい値電圧を有するNMOSトランジスタにより形成され、上記第1しきい値電圧は上記第2しきい値電圧より小さく、上記第3しきい値電圧の絶対値は上記第4しきい値電圧の絶対値より小さくなるように論理回路、SRAMのメモリセルを設計する。

【0010】つまり本発明においては論理回路には高低2種類のしきい値のトランジスタを用い、SRAMのメモリセルの少なくとも駆動MOSトランジスタはそのうち高いしきい値と同じしきい値のトランジスタにより構成し、DRAMのメモリセルの転送MOSトランジスタは、上記の高いしきい値と同じチャネルの不純物量をゲ

ート酸化膜厚を厚くしたトランジスタを用い、入出力回路は上記の高いしきい値と同じチャネルの不純物濃度又は低いしきい値と同じチャネルの不純物濃度でゲート酸化膜厚を厚くしたトランジスタを用いて構成する。以上の手段により、それぞれの回路に最適なトランジスタを工程を増加することなく製作できる。

【0011】なお、本願でいう論理回路とはメモリセルアレーを除く、論理ゲートが組み合わせて構成された回路領域を指し、レジスタファイル、演算部を含むデータバスや制御ロジック等により構成される。高(低)しきい値は、PMOSトランジスタにおいてはしきい値の絶対値が高い(低)しきい値のことをさす。PMOSトランジスタとNMOSトランジスタでは一般にしきい値が異なるため、先程高低2種類というのは各チャネル型で高低2種を指す。

【0012】

【発明の実施の形態】図1に第一の実施の形態の模式図を示す。論理回路領域2とSRAM領域3とが同一の半導体集積回路1に集積されている。特に、図に示されるように論理回路領域2のゲートを構成するトランジスタには高しきい値のものと低しきい値のものが含まれている。

【0013】論理回路領域2において、論理ゲートを構成するトランジスタのしきい値の選択はそのゲートに要求される動作速度に応じて選択すればよい。低しきい値のトランジスタによるゲートを用いた部分は動作速度を高速化する効果がある。動作速度があまり要求されない回路部分に対しては、高しきい値のトランジスタによるゲートを用いることでリーク電流を低減することができる。具体的には、論理回路のクリティカルバス上のトランジスタは高速化のために低しきい値のトランジスタを用い、クリティカルバス上にないトランジスタはリーク電流低減のために高しきい値のトランジスタを用いる。例えば、分流バスでは分流前のトランジスタ、合流バスでは合流後のトランジスタを低しきい値トランジスタとする。また、ブロック毎に動作電位点と論理ゲートとの間に論理ゲートを構成するトランジスタのソース・ドレンイン経路の電流を制御する電流制御スイッチがあるときは、そのスイッチを構成するトランジスタを高しきい値トランジスタに、制御対象となる論理ゲートを構成するトランジスタを低しきい値トランジスタとする。このような論理回路における高・低しきい値の使い分けについては特願平9-359277号に既に記載されている。

【0014】これに対して、SRAM領域3内のSRAMセルを構成するトランジスタには、SRAMセルの安定性を確保するために高しきい値のトランジスタを用いることが望ましい。SRAMメモリセルのトランジスタのしきい値とその電気的安定性との関係を説明するため、SRAMのセルノイズマージンの電源電圧依存性を図2に示す。パラメータとして、メモリセル内の駆動ト

トランジスタ（図4におけるトランジスタ48、49）のしきい値電圧 V_{th} を用いた。このセルノイズマージンが0Vより低くなるとメモリセルはSRAMとしては動作しない。このようにセルノイズマージンは、電源電圧が低下すると低下傾向にあり、また同じ電源電圧であれば駆動トランジスタのしきい値電圧 V_{th} が低い方が低くなる。製造工程による程度の差はある、トランジスタのしきい値は均一仕上がるわけではなく、分布が必ず発生する。したがって、電源電圧が低い集積回路において高速性を追求するため、SRAMメモリセルの駆動トランジスタのしきい値を低く設計・製造すると、ノイズマージンがなくなり誤動作してしまうメモリセルが発生するおそれがある。

【0015】図1に示したような4つのNMOSトランジスタと2つのPMOSトランジスタからなるSRAMのメモリセルは、論理回路と同じ製造工程で製作できることもあって、論理回路と同じ基板上に集積されるメモリとしてよく用いられている。しかしながら、動作速度を確保するため低しきい値化する論理回路のトランジスタをそのままSRAMのメモリセルのトランジスタとして製造すると、SRAMは電気的に安定な動作をしなくなるおそれがある。さらに、トランジスタのしきい値は製造工程中にばらつきを生じることがよく知られているため、平均的に電気的安定性を維持できるメモリセルのしきい値として設計・製作したとしても、ばらつきによりある一定の確率で小さいしきい値のトランジスタが発生するため、メモリセルの電気的安定がとりにくくなる。

【0016】そこで、SRAMセル内のトランジスタを、論理回路領域2の高しきい値トランジスタと同じ構成（ゲート長、ゲート幅、ゲート酸化膜厚、チャネルの不純物量が同じ）を持つトランジスタで構成する。その際には当然、SRAM内のメモリセルのNMOSで構成される駆動MOS、転送MOSは論理回路のNMOSの高しきい値のトランジスタと同じトランジスタで、メモリセルのPMOSで構成される負荷MOSは論理回路のPMOSの高しきい値のトランジスタと同じトランジスタで構成する。これにより、SRAMセル内のトランジスタを論理回路のトランジスタとは同じプロセスで製作でき、高速かつ低リーク電流の論理回路と電気的に安定なSRAMセルとが同一基板上に集積した半導体集積回路を最小限の製造工程で製作できる。製造工程を簡易にできる点については製造工程の実施例を例に後述する。

【0017】図3にSRAMの周辺回路（デコーダ及びワードドライバ31、プリチャージ用MOS32、メモリセル33及びセンスアンプ34）を含めた回路図を示す。前記ではメモリセルのトランジスタを以下に構成するか述べたが、ここでは周辺回路との関係について述べる。SRAM回路は、特に高速性が重視される回路である。そこで、メモリセル33については、上述したよ

うに電気的な安定のために論理回路領域2で用いられている高しきい値のトランジスタで構成し、他の回路部分（デコーダ及びワードドライバ31、プリチャージ用MOS32、センスアンプ34）は論理回路領域2で用いられている低しきい値のトランジスタと同じ構成のトランジスタで構成する。これにより、SRAM回路の高速動作が確保される。特に高速性が要求されるセンスアンプ34はSRAMメモリセルより低くする必要がある。

【0018】図4にSRAMのメモリセルアレーの回路図を示す。図4（b）及び（c）において、点線で区切られた範囲が一つのバンクを形成している。図4（a）に示されるように、一つのメモリセル43は、駆動MOS48・49、負荷MOS52・53、及び転送MOS50・51から構成されている。転送MOS50、51のゲートはワード線55が接続され、転送MOS50、51のソース・ドレイン経路はそれぞれ駆動MOS48、49のドレインとビット線41、42間に接続されている。

【0019】図2によりSRAMメモリセルの駆動MOSがセルノイズマージンに影響することを既に示したが、転送MOSのしきい値はセルノイズマージンに影響しない。メモリセルの読み出し時の電流 I_{read} の大きさ、速度は転送MOSよりも駆動MOSの電流駆動能力に依存する。そこで、SRAMのメモリセル内で構成の異なるトランジスタを有することになるが、転送MOSのしきい値のみ低くする事によって、読み出し時の電流値の大きいSRAMのメモリセルを実現する事が可能になる。

【0020】つまり、論理回路とSRAMメモリを同時に搭載するには、メモリセルの駆動MOSのしきい値と論理回路中の高しきい値のNMOSトランジスタと同一のトランジスタで構成し、メモリセルの転送MOSのしきい値と論理回路の低しきい値のNMOSトランジスタと同一のトランジスタで構成することによって、製造工程を複雑にすることなく電気的に安定でかつ読み出し電流 I_{read} の大きくて高速に動作するSRAMのメモリセルを製作することができる。負荷MOSは駆動MOSほどでないにしろセルノイズマージンに影響するため、及びメモリセル内のリークを削減するため、論理回路の高しきい値のPMOSトランジスタと同じトランジスタにすればよい。

【0021】このように、転送MOSのしきい値を下げる事によりメモリセルの動作は高速化される。しかしながら、ビット線41、42に接続しているメモリセルが多くなると以下に示すような別の問題を生ずることが既に知られている。

【0022】図4（a）ではワード線55-1に接続されたメモリセルがアクセスされ、他のワード線55-2～n（n：ビット線に接続されているメモリセルの数）に接続されたワード線に接続されたメモリセルはアクセスされていない場合を例示してある。この場合、ア

クセスされてワード線が「High」になっているメモリセル43-1に読み出し電流I_{read}が流れている。このとき、同じビット線41, 42に接続されているアクセスされていない他のメモリセル43-2~nにはサブスレッショルド電流に伴うリーク電流I_{leak}が流れている。したがって、リーク電流の合計は最大(n×I_{leak})になる。この電流が、I_{read}より大きくなる、すなわちリーグ電流が信号電流より大きくなると記憶内容の読み出しが不可能になる。この問題は、ビット線に接続されているメモリセルの数nが大きくなると顕著になる。

【0023】そこで、ビット線に接続されているメモリセルの数が多くなった場合には、図4(b)又は(c)で示すようにグローバルビット線を用いてビット線を階層化する。図4(b)ではグローバルビット線46、47をスイッチMOS44、45を介してビット線41、42を接続し、メモリセルをバンク毎に区分する。このとき、スイッチMOS44、45には、特開平10-106269号に記載されているようにPMOSとNMOSのソース・ドレイン経路を並列を接続したものを用いることができる。読み出し動作をおこなうときにはPMOSを導通させ、書き込み動作のときにはNMOSを導通させる。ここで、スイッチMOSのPMOS、NMOSのしきい値をそれぞれメモリセル内のPMOS52、53、駆動用NMOS48、49と同じ高しきい値のトランジスタで構成すればよい。つまり、論理回路の高しきい値のトランジスタと同じトランジスタで構成すればよい。

【0024】図4(c)ではスイッチMOS44、45に代えて、センスアンプ54を使用する。このとき、センスアンプ54は論理回路領域2の低しきい値のトランジスタと同じトランジスタで構成することにより、高速動作を実現できる。

【0025】階層化によりビット線に接続されるメモリセルの数をへらすことができ、大容量のSRAMを用いた場合でもメモリセルのリーク電流の問題を回避し、電気的に安定かつ高速なSRAMを実現する事が可能になる。

【0026】ここまで、異なるしきい値のトランジスタを用いて回路を構成することを述べてきたが、それを実現する方法について述べていなかった。そこで、それを実現する方法、更に複数のしきい値を有するトランジスタを一つの集積回路において実現する工程について説明する。

【0027】図5はトランジスタのしきい値V_{th}とゲート酸化膜厚T_{ox}との関係を示している。チャネルインプの回数を増やさなくとも、トランジスタのしきい値の種類を増やすことができる。NMOSトランジスタのしきい値電圧V_{th}は、次の式で与えられる。

【0028】 $V_{th} = V_{FB} + 2\Phi_{FP} + Q_B/C_0 \quad (1)$
ここでV_{FB}はフラットバンド電圧、Φ_{FP}は真性半導体と不純物等を含んだ半導体のフェルミ電位の差、Q_Bはチ

ャネル下の空乏層の単位面積当たりの電荷量、C₀はゲート酸化膜の単位面積当たりの容量であり、次式で与えられる。

$$【0029】 C_0 = \epsilon / T_{ox} \quad (2)$$

εはゲート絶縁膜の誘電率、T_{ox}はゲート酸化膜厚である。したがって、図5に示す通り、ゲート酸化膜厚T_{ox}が厚いほどしきい値V_{th}は上昇する。

【0030】図5において、第一のV_{th}57-1と第二のV_{th}57-2では、それぞれチャネルにインピラにより打ち込まれるドーズ量が異なっている。ドーズ量が多い第一のV_{th}57-1の方が、よりドーズ量の少ない第二のV_{th}57-2よりも同じゲート酸化膜厚であってもしきい値は高くなっている。この特徴を利用すれば、所定のゲート酸化膜厚のトランジスタaのチャネルへのドーズ量を増やすことによって、等しいゲート酸化膜圧であって、かつしきい値の大きいMOSトランジスタbを得ることができる。例えば、ドーズ量を調整して得られるトランジスタa及びbを使用して論理回路領域2及びSRAM領域3を構成することによって、最小の製造工程で、論理回路領域2は低リーク電流で高速、SRAM領域3は電気的に安定で高速、を両立する集積回路を作成できる。

【0031】さらに、図5のトランジスタaに対するトランジスタcまたはトランジスタdに対するトランジスタdの関係から分かるように、チャネルへの不純物の注入量がそれぞれ等量であっても、ゲート酸化膜厚を厚くする事によってしきい値電圧を高くする事が可能になる。このように、MOSトランジスタのチャネルドーズ量または/及びゲート酸化膜厚を変化させることにより、所望のMOSトランジスタのしきい値電圧を得ることができる。この特徴を利用すればDRAMのメモリセルやインタフェースの回路をさらに最小の工程で製作することが可能になる。このことを次に示す実施例で示す。

【0032】図6は、本発明の第二の実施の形態であり、DRAMセルのメモリアレーに好適なものである。ワードドライバ61から出されるワード線にDRAMメモリセル62、63が接続され、DRAMメモリセルの容量に蓄えられた電荷はビット線を介してセンスアンプ64により読み出される。

【0033】DRAMのセルはゲートがワード線に接続されたNMOSトランジスタと1つの容量から構成されている。DRAMのセルの容量にはデータ「0」のとき「0」電位が、データ「1」のときには電源電圧V_{cc}が書き込まれる。書き込みはワード線の電圧によりNMOSトランジスタのゲートをオンにすることでなされるが、NMOSトランジスタのゲート電極をV_{cc}にして書き込んでも、容量には(V_{cc} - V_{th})の電圧しか書き込まれない。そこで、ワード線の電圧を(V_{cc} + V_{th})にすることによって容量に書き込まれる電圧をV_{cc}にす

ることができる。ワード線の電圧が($V_{cc} + V_{th}$)まで高くなるので、ゲートの耐圧を確保するためDRAMのメモリセルのトランジスタのゲート酸化膜はより厚くする必要がある。また、DRAMのメモリセルのトランジスタのしきい値電圧は、容量に蓄積された電荷がトランジスタのリーク電流により放電しないように高くする必要がある。

【0034】そこで図5に示したMOSトランジスタのゲート酸化膜厚が厚くなると、そのしきい値電圧が大きくなる性質を利用する。同一基板上に集積された論理回路領域では、図1の論理回路領域を説明する際に述べたように、高速動作が求められるトランジスタは低しきい値のトランジスタ（図5のトランジスタa）を用い、高速動作が求められていないトランジスタはリーク電流低減のために高しきい値のトランジスタ（図5のトランジスタb）を用いる。論理回路領域内のトランジスタは高・低しきい値トランジスタのいずれも、等ゲート酸化膜厚トランジスタで作成する。論理回路の中で2種のしきい値を実現させるにはチャネルの不純物量を変える方法によるものの制御が最も容易である。現在のプロセスで調整される範囲において、トランジスタのゲート長、ゲート幅を変えたときのしきい値の変化が、不純物量を変えたときよりも小さいからである。トランジスタのゲート長、ゲート幅の変更によりしきい値を変化させることができると、これらの方法は酸化膜厚を変えるより、容易である。酸化膜厚を変えると、酸化膜厚が異なる境界の段差の取り扱いが問題となる。メモリセル等ある面積以上で段差を制御することは問題ではないが、トランジスタレベルで酸化膜厚を変えるのは容易ではない。段差は配線の断線などを起こす原因となるからである。

【0035】酸化膜厚を変化させるのはプロセス上容易ではないが、先程述べた特性の要求により、DRAMのメモリセル内のN MOSは、論理回路の高しきい値トランジスタと単位面積あたり不純物量を等しくしてインプアラして、かつ論理回路のトランジスタより酸化膜が厚いトランジスタを用いる。論理回路の低しきい値トランジスタと不純物量を等しくしても酸化膜厚の差により論理回路の低しきい値より高しきい値が実現されているが、酸化膜厚差によるしきい値の変化は小さいため、高しきい値トランジスタと不純物量を等しくすることによってリーク電流を低減する高しきい値が得られる。（図5のd）論理回路領域とメモリ領域で不純物量が等しくすることはマスクを増やすことなくでき、集積回路の製造上有利である。もちろん、不純物量が等しいという場合には、製造上当然に生じ得るばらつきの範囲は含む。

【0036】DRAMのメモリセル以外の他の回路には必要に応じた構成を持つトランジスタを用いればよい。ワードドライバ61は、高いワード線電圧を発生するため、トランジスタのゲート酸化膜厚は厚くする。その一方で動作速度を上げるために、そのしきい値は低く抑え

たい。これらの条件より、ワードドライバ61のトランジスタには論理回路の低しきい値トランジスタと等しいチャネルインプラで、かつ酸化膜厚の厚いトランジスタ（図5のトランジスタc）を用いる。プリチャージ用MOS65、センスアンプ64には、高電圧は印可されないので、論理回路のトランジスタとゲート酸化膜厚が等しいトランジスタを用いればよい。このとき、動作速度を優先する場合には低しきい値のトランジスタ（図5のトランジスタa）、リーク電流の低下を優先する場合には高しきい値のトランジスタ（図5のトランジスタb）を用いればよい。

【0037】図7は、本発明の第三の実施の形態であり、データ入出力バッファ回路（IO）に好適なものである。図8における論理領域81と入出力回路領域84を挟んだ領域を示している。71はデータ入出力ピン、72、73は出力MOSである。また、74はOE（出力許可信号）発生回路であり、75はDout（データ）発生回路である。データはOE発生回路から発生するOE信号によって出力される。OE信号が'high'の論理レベルをとるとき、データ発生回路から出されるデータ信号をレベルシフタ、出力MOSを介してIOピン71に出力する。

【0038】論理回路領域からデータをデータ入出力ピン71に出力するデータ入出力バッファ回路には、論理回路領域の電源電圧（ V_{dd} ）にくらべて大きな電源電圧を印加されることが一般的である。論理回路領域の電源電圧は、デバイスの高性能化に応じて酸化膜厚を薄していくのに伴って低下させられてきたのに対して、データ入出力バッファ回路には、印加される電源電圧が規格により定められているためである。たとえば、ゲート長が0.25μmが実現できるプロセスの世代においては、論理部の電源電圧は1.8Vから2.5Vであるのに対し、データ入出力部はTTLレベルを出力できる3.3Vである場合が多い。

【0039】本実施例でOE発生回路とDout発生回路は論理回路領域内にある。この部分には、薄いゲート酸化膜が用いられているが、先程述べたように低しきい値のトランジスタと高しきい値のトランジスタを使い分けて構成すればよい。一方、レベルシフタ部は、低電圧の振幅の信号を高電圧の信号に変換する回路部であるが、この部分のトランジスタには高電圧が印可されるので、ゲートの耐圧を確保するため、厚膜のトランジスタを用いる。また、出力MOSの部分もやはり高電圧が印可されるので厚膜のトランジスタを用いる。ここでレベルシフタの部分も出力MOSの部分も高電圧を用いるので、厚膜の高しきい値トランジスタを用いるが、論理回路領域にあるトランジスタの出力を受けた、レベルシフタのトランジスタのゲートは低電圧振幅を受け取るので、例外的に低しきい値のトランジスタを用いる必要がある。論理回路領域では低電圧で動作するため、論理回路領域のトランジスタの出力はその出力を受けるレベルシフタの

トランジスタのソース・ドレイン経路の電圧に比べ小さいためである。このトランジスタのチャネルには薄膜の低しきい値と同じ量の不純物を用いて構成できる。

【0040】すなわち、本実施例においては、薄膜の低しきい値と厚膜の低しきい値、薄膜の高しきい値と厚膜の高しきい値は同じチャネルインプチで形成し、そのことによって、製造工程を増加させることなく高電圧でも信頼性が高く、高速な出力バッファを形成できる効果がある。

【0041】図8は本発明の第5の実施例で、同一基板上に論理回路領域81、SRAM領域82、DRAM領域83と入出力回路領域84が搭載されている。また、下の表はそれぞれの領域中のトランジスタの種類を示したものである。

【0042】表に示すように、論理回路領域81とSRAM領域82においては短いゲート長や、薄いゲート酸化膜厚の高性能トランジスタを用いるために、比較的低い電源電圧たとえば1.5Vに設定されている。論理回路領域内のトランジスタは高速化のために論理回路内の約10%のトランジスタは低しきい値のトランジスタを用い、リーク電流低減のために残りの約90%のトランジスタは高しきい値のトランジスタを用いればよいことは既に特願平9-359277号で示されている。また、SRAMメモリセル内のトランジスタでは、駆動MOSトランジスタは電気的安定性のために高しきい値のトランジスタを用い、また、転送MOSトランジスタでは高速化のために低しきい値を用いる。一方、DRAMのメモリセル領域では、大きな電圧をかけるので酸化膜を厚くし、さらにしきい値電圧は高くする。また、入出力回路には、規格により比較的高い電圧をかけることが多いので、ゲート酸化膜は厚くし、高いしきい値を用いる。

【0043】以上の4つの回路ブロックを製造工程を複雑にすることなく製造するためには、論理回路の高しきい値のトランジスタとSRAMセルのトランジスタのしきい値は一致させる。また、DRAMのメモリセルのトランジスタと入出力インターフェースのトランジスタの酸化膜を厚くし、薄膜トランジスタに用いている高低2種のしきい値のトランジスタと同じ量の不純物を用いてチャネルを構成できる。

【0044】図9は本発明を実現する製作工程を示す図である。図9(a)で90は半導体基板、91、93、95はPウエル、92、94、96はNウエル、97は素子分離のための酸化物領域である。ここで91と92はそれぞれNMOSとPMOSの低しきい値電圧のトランジスタ、93、94はそれぞれNMOSとPMOSの高しきい値電圧のトランジスタ、95、96はそれぞれ酸化膜の厚いNMOSとPMOSのしきい値電圧の高いトランジスタを最終的には形成することになる。

【0045】この図のように、集積回路においてはまず素子分離領域とウエルが形成される。図9(b)では次に

レジスト98をマスクとしてまず91、93、95のPウエル領域にB, Al, Ga, In等のアクセプタのイオン注入を行う。さらに図9(c)では93と95のPウエル領域のみにイオン注入を行う。このことにより、最終的に93と95のPウエル領域のNMOSが高しきい値となる。

【0046】次に図9(d)ではレジスト98をマスクとしてまずNウエル領域92、94、96にP, Sb, As等のドナーのイオン注入を行う。さらに図9(e)ではNウエル領域94と96のみにイオン注入を行う。このことにより、最終的にNウエル領域94と96のPMOSが絶対値で高しきい値となる。

【0047】次に図9(f)では第一回目のゲート酸化を行い、ゲート酸化膜99を形成する。さらに、窒化酸化膜115を形成しこれをマスクとしてゲート酸化を行ふと、ゲート酸化膜99は右側の部分だけ厚くなる。すなわち、Pウエル95、Nウエル96の部分のゲート酸化膜が厚くなり、その他の部分のゲート酸化膜は薄いままである。そのうち、図9(h)でゲート電極となるポリシリコン層100を形成し、図10でそれを加工する事によってゲート電極101, 102, 103, 104, 105, 106を形成する。次にウエル電位を固定したり、トランジスタのドレイン又はソース電極となるn+型の拡散層108, 109, 112とp+型の拡散層110, 111, 107を形成する。さらに図9(k)で層間絶縁膜を形成し、図10(l)電極114を形成してトランジスタが完成する。

【0048】本実施例で示した工程によれば、Pウエル91にできるのは薄膜の低しきい値のNMOSトランジスタ101、Nウエル92にできるのは薄膜の低しきい値のPMOSトランジスタ102、Pウエル93にできるのは薄膜の高しきい値のNMOSトランジスタ103、Pウエル94にできるのは薄膜の高しきい値のPMOSトランジスタ104、Pウエル95にできるのは厚膜の高しきい値のNMOSトランジスタ105、Pウエル96にできるのは厚膜の高しきい値のPMOSトランジスタ106である。半導体集積回路はいままで説明してきたように、ここで示した6種類のトランジスタで構成できる。すなわち、論理回路は101、102、103、104のトランジスタ、SRAMの駆動MOSトランジスタは103のトランジスタ、SRAMの転送MOSは101または、必要によっては103のトランジスタ、DRAMセルの転送MOSは105のトランジスタ、出力MOSは105と106のトランジスタを用いて構成できる。なお、ここでは図示していないが、厚膜の低しきい値のトランジスタもまったく同じ工程で製作できるが、回路の必要に応じて、厚膜の低しきい値のトランジスタを用いてもいいことは言うまでもない。

【0049】本実施例では酸化膜99は厚さが2種類になり、また、しきい値の値もNMOSとPMOSそれぞれ3種類存在する事になる。しきい値の値を論理回路で2種類持つことは高速かつ低リーク電流を得ようとする

場合必然性が有り、また、酸化膜の膜厚が2種類あることは低電圧と高電圧が同時に印可されるようなLSIでは必然性がある。本発明では、これら必然性のある製作工程から工程を増やすことなく、SRAMやDRAMのメモリセルの動作にとって最適なトランジスタを提供できるので、工程を増やすことなく、低電圧で動作するメモリアレーを持つ半導体集積回路を提供できる効果がある。

【0050】図10はしきい値電圧 V_{th} のゲート長 L_g 依存性を示した図である。一般的にMOSデバイスは、ゲート長が減少するとしきい値電圧が急激に減少する現象がある。この領域を用いれば、ゲート長を変える事によりチャネル内の不純物量が等量でもdとeのように2種類のしきい値を得る事が可能になる。図9(c)あるいは図9(e)で示したイオン注入の工程をゲート長の長短というマスク面での変更により省略することができる。つまり図11(i)で示すようにゲート電極123、及び124はゲート電極101、102よりもゲート長を長くすることにより、123、124のトランジスタのしきい値を101、102のトランジスタのしきい値よりも高くする事ができる。但し、先程述べたように、しきい値電圧はある限られた領域でしか大きく変化しないため、インピラよりも制御の自由度は低い。第6の本実施例では酸化膜99は厚さが2種類、しきい値の値もNMOSとPMOSそれぞれ3種類存在する事になる。しきい値の値を論理回路で2種類持つことは高速かつ低リーク電流を得ようとする場合必然性がある。本発明では、これら必然性のある製作工程から工程を増やすことなく、SRAMのメモリセルの動作にとって最適なトランジスタを提供できるしたがって、工程を増やすことなく、低電圧で動作するメモリアレーを持つ半導体集積回路を提供できる効果がある。

【0051】図12は本発明の第7の実施例で論理回路、SRAM、DRAM、入出力回路を同一の半導体基板に実現させたときに、それぞれに最適なしきい値実現するための条件を示している。当然先程示した図11の工程を利用すればよい。論理回路内のトランジスタは高速化のために論理回路内の約10%のトランジスタはチャネル長の短いトランジスタを用いる。一方、リーク電流低減のために残りの約90%のトランジスタはチャネル長を長くして高しきい値にしたトランジスタを用いる。また、SRAMメモリセル内のトランジスタでは、駆動MOSトランジスタは電気的安定性のためにチャネル長を長くして高しきい値のトランジスタを用い、また、転送MOSトランジスタでは高速化のためにチャネル長の短いトランジスタを用いる。一方、DRAMのメモリセル領域では、大きな電圧をかけるので酸化膜を厚くし、さらにゲート長を長くしてしきい値を高くする。また、入出力回路には、規格により比較的高い電圧をかけることが多いので、ゲート酸化膜は厚くし、さらにゲート長を長くして高いしきい値になったトランジスタを用いる。

【0052】このようにすることによってチャネルインピラの製造行程を増加させることなく、各回路に最適なしきい値のトランジスタを提供し、高速かつ低リーク電流の半導体集積回路を提供できる。

【0053】図13はショートチャネル効果を緩和するためによく用いられるトランジスタの構造と、そのしきい値電圧の特性を示した図である。図13(a)の断面図のトランジスタはP型基板を用いたN MOSトランジスタの例である。ソースとドレイン電極はn+領域に接続されているが、それぞれのn+領域の中心側にドレインの電界を緩和するためのn-領域さらにその内側にp型基板より濃い濃度のp型領域が設けられている。PMOSトランジスタもP型のドレイン電極の中心側にドレインの電界を緩和するためのドレイン電極より不純物濃度の低い領域、さらにその内側にn型基板より濃い濃度のn型領域が設けることにより形成できる。

【0054】このようなトランジスタのしきい値電圧 V_{th} のゲート長 L_g 依存性を図13(b)に示す。ここで V_{th} はしきい値電圧であり、 V_{thleak} はリーク電流がある値、たとえばゲート幅が1μmあたり1nAとなるようなゲート電圧を示している。実線と点線はチャネルの不純物量の高低に対応する。ここには示されていないが、 V_{th} と V_{thleak} は従来型のP型基板のより高濃度p型の領域がないトランジスタではほぼ並行な特性を示すことが知られている。しかしながら、図13(a)の構造を持つトランジスタにおいては、特性が異なる。 V_{thleak} はゲート長が小さくなると単調に減少するのに対し、 V_{th} は一度増加してから減少する。また、チャネルの不純物量を変えた場合は点線で示したように、両者ともほぼ並行にシフトする。このことを利用して、低電圧動作に適したメモリセルを形成できることを次に示す。

【0055】図14は本発明の第8の実施例で、図13のMOSトランジスタの特性を利用することにより、SRAMやDRAMのメモリセルの特性を図8で示した実施例よりさらに改善できることを示す。図内のa、b、fは図13(b)で示した条件を持つトランジスタで構成されることを示している。SRAMのメモリセル領域3はSRAMの駆動MOSには図13のbのトランジスタを用いることにより、 V_{th} がある程度大きく電気的な安定性を確保する。そのしきい値は論理回路における高しきい値と同じ電圧を有する。論理回路における低しきい値は、高しきい値のトランジスタと同ゲート長、同酸化膜厚で、チャネル内の不純物量が少ないもので構成される。

【0056】一方SRAMの転送MOSには図13のfで示すようにチャネルインピラを少なくした上でゲート長を少し長くする。このことにより、リーク電流を変化させず、しきい値電圧を低くでき、図4で示したようなSRAMの転送MOSのリーク電流に起因する問題を発生させないで、SRAMの特性を改善することが可能になる。図13(a)に示す構造を持つトランジスタを用い

て、チャネルの不純物量がある値をとるとき、しきい値が上昇しても、 V_{thleak} は減少する領域においてゲート長を2種選択すればよい。転送MOSのしきい値は駆動用MOSのしきい値より低いが、リーク電流と対応する V_{thleak} が駆動MOSの V_{thleak} 以上のものを選択すればよい。その際には論理回路の低しきい値トランジスタと同じチャネル不純物量で、ゲート長を長くしたトランジスタで転送MOSを構成すればよい。

【0057】また、141で示したD R A Mにおいても図13のfで示したトランジスタと同じチャネルの不純物量、同じゲート長で、異なるゲート酸化膜厚圧を有するトランジスタを用いることにより、リークをふやさずにしきい値を低下させ、好適な特性のD R A Mのメモリセルを実現できる。

【0058】尚、一般にしきい値電圧の定義には2種類ある。飽和電流の外挿で求められるものと、ゲート電圧が十分低い領域において一定の電流を流すためのゲート電圧から求められるものがある。本願でいうしきい値電圧は前者を指し、 V_{thleak} は後者を指す。又、明細書内ではMOSFETと書かれてあるが、周知のMISFETを用いてもよい。

[0059]

【発明の効果】以上述べてきたように本発明によれば、論理回路とメモリを集積した半導体集積回路において、工程を増やすことなく、SRAMやDRAMのメモリセルの動作にとって最適なトランジスタを提供できる。

【図面の簡単な説明】

【図1】本発明の第1の実施例の模式図である。

【図2】SRAMのノイズマージンの電源電圧依存性である。

【図3】SRAMの周辺回路も含めた回路図である。

【図4】本発明の第2の実施例のS R A Mのアレー部分の回路図である。

【図5】しきい値とゲート酸化膜厚の関係を示した図である。

【図6】本発明の第3の実施例で、本発明をDRAMセルのアレーに適用した例である。

【図7】本発明の第4の実施例で本発明をI/O(データ出力バッファ)に適用した実施例である。

【図8】本発明の第5の実施例で、同一基板上に論理回路とSRAMのアレーとDRAMのアレーと入出力回路が搭載されている例である。

【図9】発明を実現する製作行程を示す図である。

【図10】しきい値電圧のゲート長依存性を示した図である

【図11】本発明の第6の実施例で本発明を実現する製作行程を示す別の図である。

【図12】本発明の第7の実施例の図である。

【図13】近年よく用いられるトランジスタの構造と、そのしきい値電圧の特性を示した図である。

【図1-1】本発明の第8の実施例の図である。

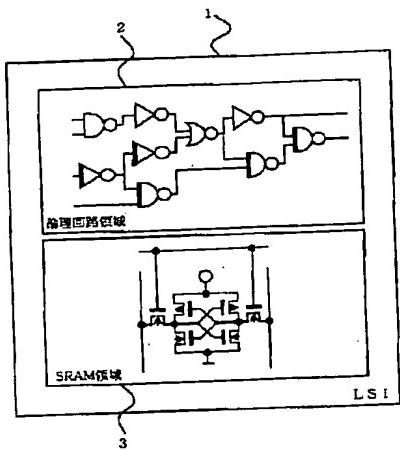
【符号の説明】

- 【構成・説明】

 - 1 論理回路
 - 2 SRAM領域
 - 3.3 メモリセル
 - 4.1、4.2 ビット線
 - 4.2、4.7 グローバルビット線
 - 6.2、6.3 DRAMメモリセル
 - 7.2、7.3 出力MOS
 - 8.1 論理回路領域
 - 8.2 SRAM領域
 - 8.3 DRAM領域
 - 8.4 入出力回路領域
 - 9.0 半導体基板
 - 9.1、9.3、9.5 Pウエル
 - 9.2、8.4、9.6 Nウエル
 - 1.0.1 薄膜の低しきい値のNMOSトランジスタ
 - 1.0.2 薄膜の低しきい値のPMOSトランジスタ
 - 1.0.3 薄膜の高しきい値のNMOSトランジスタ
 - 1.0.4 薄膜の高しきい値のPMOSトランジスタ
 - 1.0.5 厚膜の高しきい値のNMOSトランジスタ
 - 1.0.6 厚膜の高しきい値のPMOSトランジスタ
 - 1.2.3 薄膜の高しきい値のNMOSトランジスタ
 - 1.2.4 薄膜の高しきい値のPMOSトランジスタ。

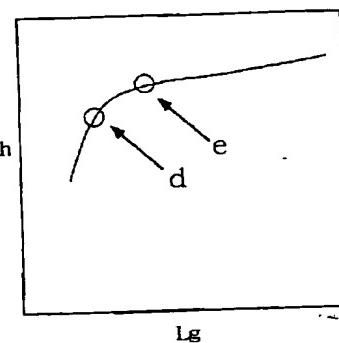
【図1】

図1



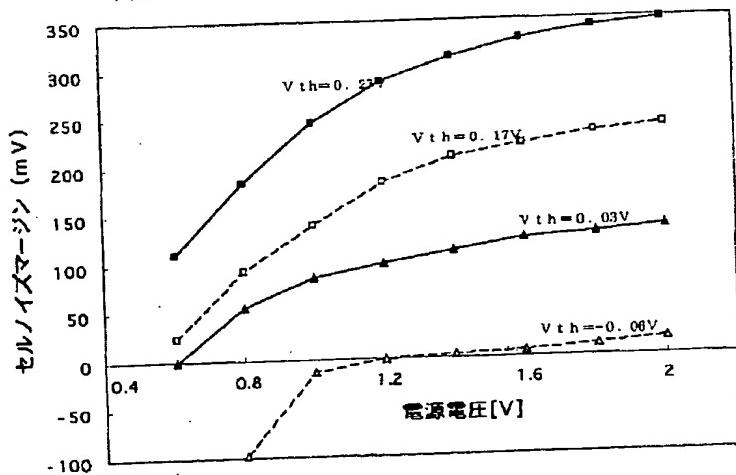
【図10】

図10



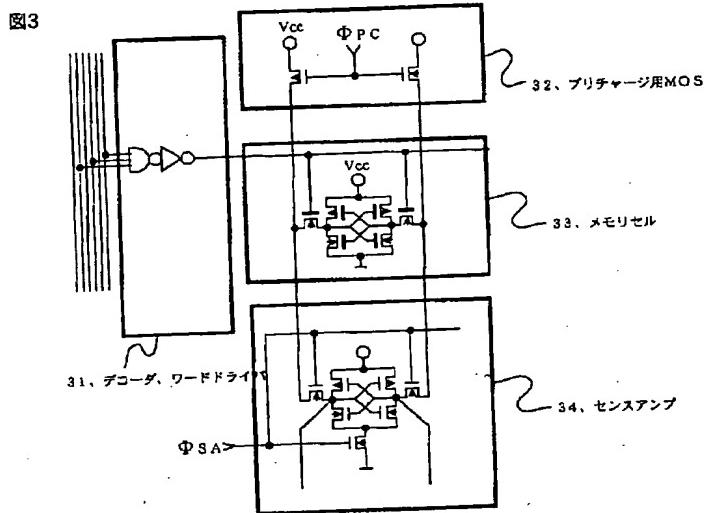
【図2】

図2

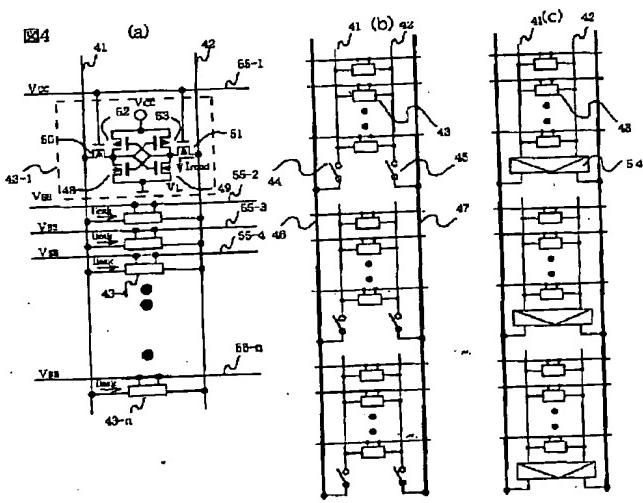


(12)月2001-15704 (P2001-157JL)

【図3】



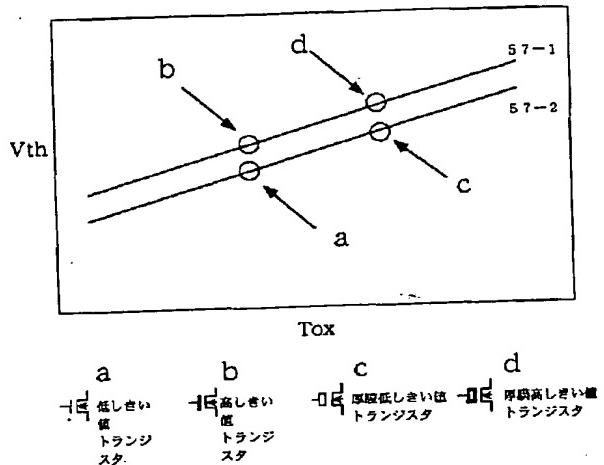
【図4】



(13) 2001-15704 (P2001-157JL)

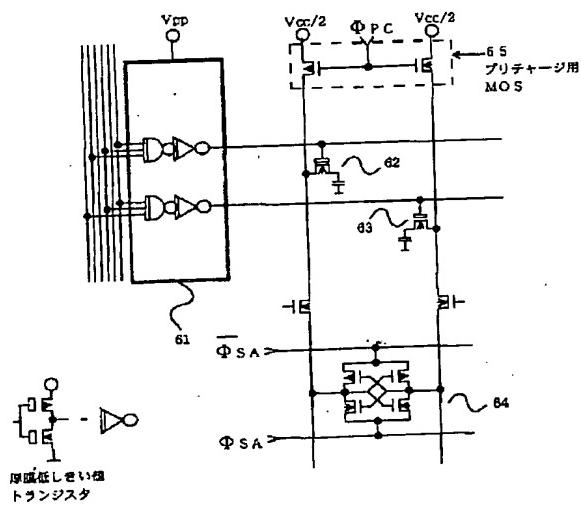
【図5】

図5

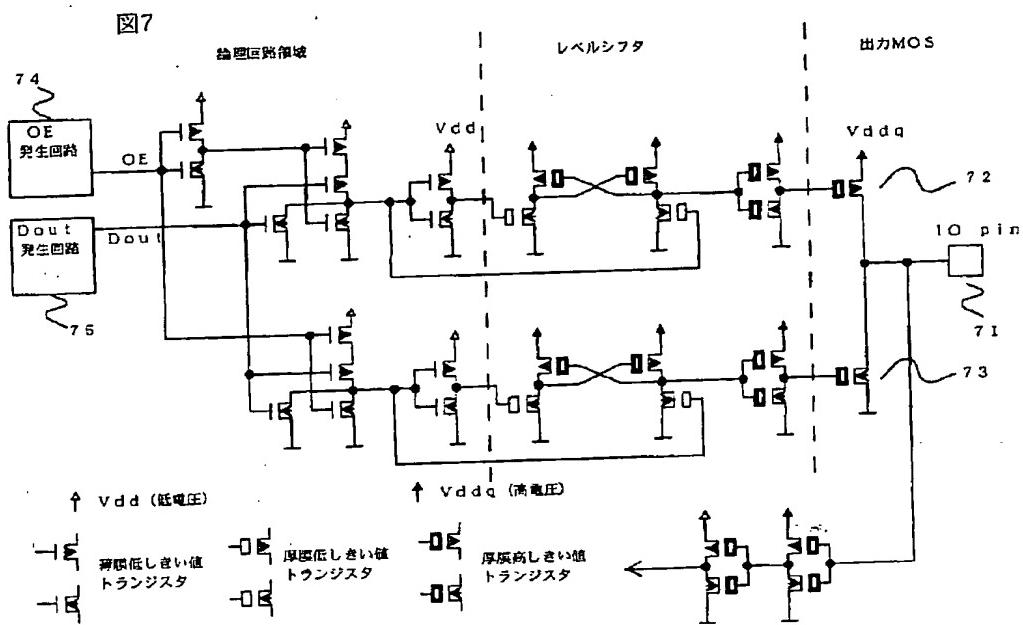


【図6】

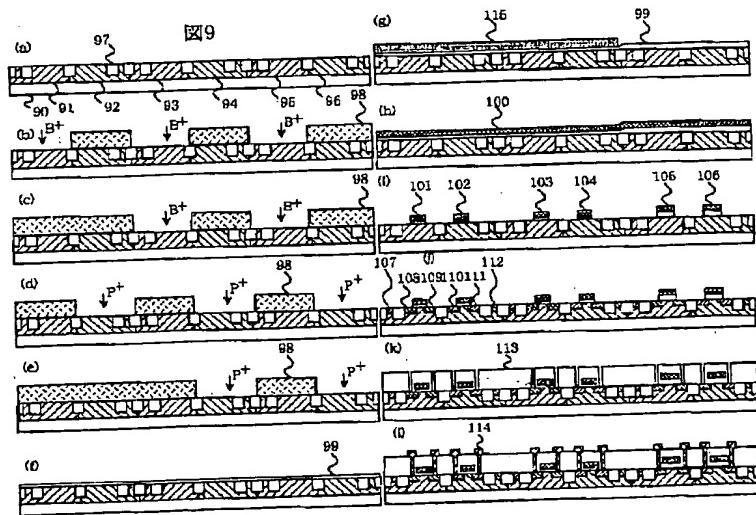
図6



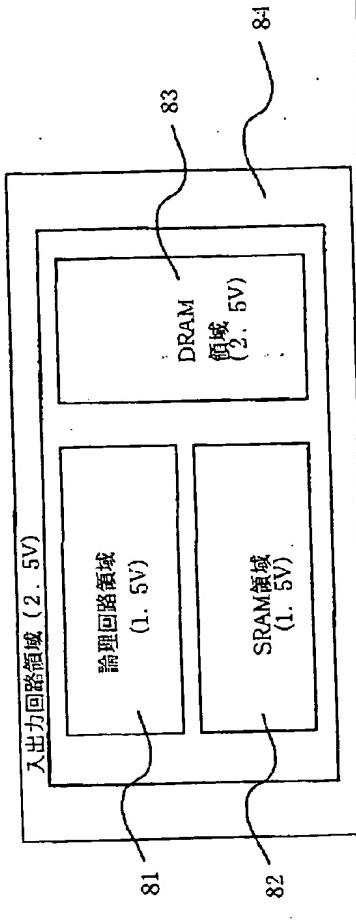
【図7】



【図9】



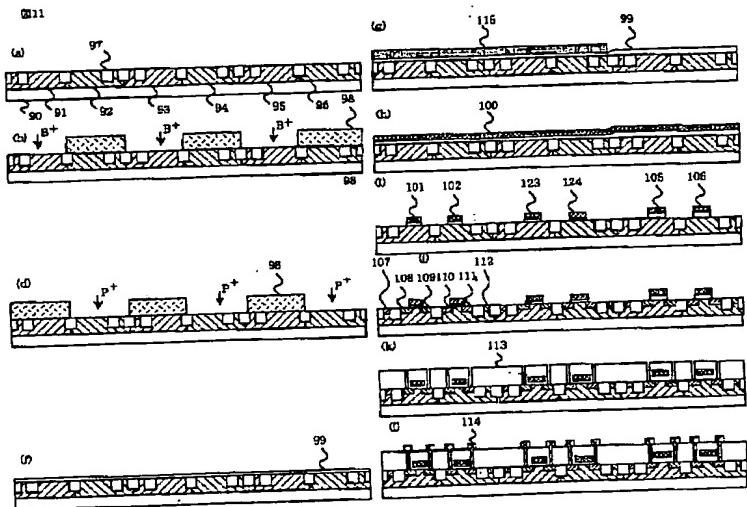
【図8】



	論理回路			SRAM	DRAM	入出力回路
	約9.0%	約1.0%	負荷MOS	転送MOS 低V _t h (0.35V)	駆動MOS 高V _t h (0.45V)	TrMOS 高V _t h (0.65V)
しきい値電圧 NMOS PMOS	(0.45V) (-0.45V)	(0.35V) (-0.35V)	高V _t h (0.45V) (-0.45V)	低V _t h (0.35V) (-0.45V)	高V _t h (0.45V) (-0.45V)	高V _t h (0.65V) (-0.65V)
ゲート酸化膜 電源電圧	薄膜 (3.2nm)	薄膜 (3.2nm)	薄膜 (3.2nm)	厚膜 (6.5nm)	厚膜 (6.5nm)	高電圧 (2.5V)
回路	低電圧 (1.5V)	低電圧 (1.5V)	高電圧 (2.5V)	高電圧 (2.5V)	高電圧 (2.5V)	高電圧 (2.5V)

()内の数字は例
→ 厚膜低しきい値 → 厚膜高しきい値 → 厚膜高しきい値

【図11】



〔図12〕

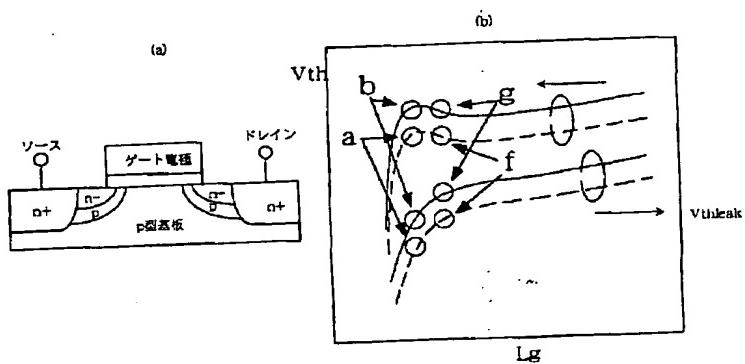
図12

	論理回路		SRAM			DRAM	入出力回路
	約90%	約10%	負荷MOS	転送MOS	駆動MOS	TiMOS	
しきい値電圧 NMOS PMOS	高V _{th} (0.45V) (-0.45V)	低V _{th} (0.35V) (-0.35V)	高V _{th} (0.35V) (-0.45V)	低V _{th} (0.35V)	高V _{th} (0.45V)	高V _{th} (0.65V) (-0.65V)	高V _{th} (0.65V) (-0.65V)
ゲート酸化膜	薄膜 (3.2nm)	薄膜 (3.2nm)	薄膜 (3.2nm)	薄膜 (3.2nm)	厚膜 (6.5nm)	厚膜 (6.5nm)	厚膜 (6.5nm)
電源電圧	低電圧 (1.5V)	低電圧 (1.5V)	低電圧 (1.5V)	低電圧 (1.5V)	高電圧 (3.5V)	高電圧 (2.5V)	高電圧 (2.5V)
ゲート長	長チャネル (0.18μm)	短チャネル (0.14μm)	長チャネル (0.18μm)	短チャネル (0.14μm)	長チャネル (0.18μm)	長チャネル (0.18μm)	長チャネル (0.14μm)
回路							

(17)月2001-15704 (P2001-157JL)

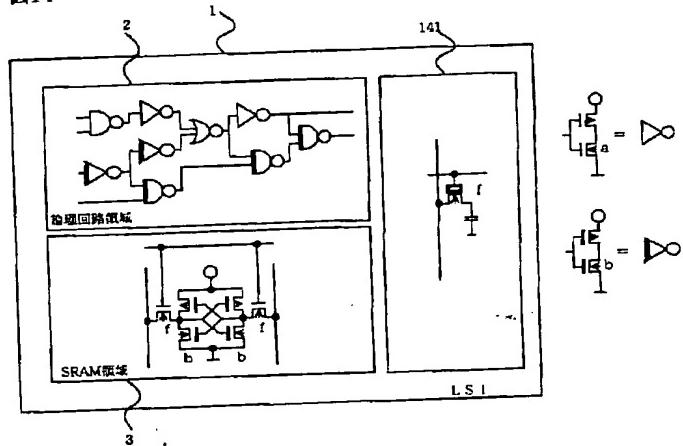
【図13】

図13



【図14】

図14



フロントページの続き

(51) Int.Cl.⁷

H 01 L 21/8244
27/11
27/108
21/8242

識別記号

F I
H 01 L 27/10

381
681 F

マークコード(参考)

(18) 2001-15704 (P2001-157JL

Fターム(参考) 5B015 HH01 HH03 JJ02 JJ05 JJ21
KA13 KB00 KB32 KB33 QQ01
QQ03
5B024 AA01 AA15 BA03 BA29 CA01
CA03 CA27
5F048 AB01 AB03 AC03 BA01 BB03
BB15 BB16 BB18 BD01 BD04
BD10 BE03 BE04
5F083 AD00 BS02 BS14 BS27 GA01
GA05 GA06 GA11 KA06 LA03
LA04 LA05 LA09 LA10 PR14
PR36 ZA04 ZA07 ZA08 ZA12